

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

#3/Priority
OKing
3/30/01

PATENT
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Mizuhisa NIHEI et al.

Serial No.: Not Yet Assigned

Filed: December 26, 2000

For: SEMICONDUCTOR TRIODE DEVICE HAVING A
COMPOUND-SEMICONDUCTOR CHANNEL LAYER



CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Director of Patents and Trademarks
Washington, D.C. 20231

December 26, 2000

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2000-095895, filed March 30, 2000

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON


Le-Nhung McLeland
Reg. No. 31,541

Atty. Docket No.: 001701
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
LNM/lrj

PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: March 30, 2000

Application Number: Japanese Patent Application
No. 2000-095895

Applicant(s) FUJITSU LIMITED

October 20, 2000

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2000-3086307

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2000年 3月30日

出 願 番 号
Application Number: 特願2000-095895

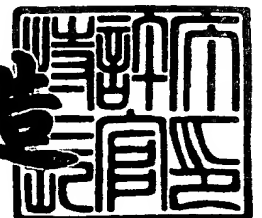
出 願 人
Applicant (s): 富士通株式会社



2000年10月20日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3086307

【書類名】 特許願

【整理番号】 9940943

【提出日】 平成12年 3月30日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 29/80
H01L 29/48

【発明の名称】 半導体三端子装置

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 二瓶 瑞久

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 渡邊 祐

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体三端子装置

【特許請求の範囲】

【請求項 1】 チャンネル層を含む半導体層と、
前記チャンネル層中にキャリアを供給する第 1 のオーミック電極と、
前記チャンネル層からキャリアを回収する第 2 のオーミック電極と、
前記チャンネル層中を、前記第 1 のオーミック電極から前記第 2 のオーミック電極に流れるキャリアを制御するゲート電極とを備えた半導体三端子装置であって

前記ゲート電極は、前記半導体層表面との界面に形成された絶縁性の金属酸化膜を含むことを特徴とする半導体三端子装置。

【請求項 2】 前記絶縁性の金属酸化膜は、Ti, Co, Ni, Ta, Pr, Hf, Zr および Pd よりなる群より選ばれる金属元素の酸化物であることを特徴とする請求項 1 記載の半導体三端子装置。

【請求項 3】 さらに、前記第 1 のオーミック電極と前記半導体層との界面、および第 2 のオーミック電極と前記半導体層との界面にも、前記絶縁性金属酸化膜が形成されていることを特徴とする請求項 1 または 2 記載の半導体三端子装置。

【請求項 4】 前記絶縁性金属酸化膜は、キャリアがトンネル可能な厚さを有することを特徴とする請求項 3 記載の半導体三端子装置。

【請求項 5】 前記絶縁性金属酸化膜は、前記半導体層の表面を、前記ゲート電極と前記第 1 のオーミック電極との間の領域、および前記ゲート電極と前記第 2 のオーミック電極との間の領域を連続して覆うように形成されていることを特徴とする請求項 1 ～ 4 のうち、いずれか一項記載の半導体三端子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に半導体装置に係り、特に化合物半導体チャンネル層を有し高速動作する半導体三端子装置に関する。

【 0 0 0 2 】

MESFETやHEMT等の化合物半導体三端子装置は電子移動度の大きい化合物半導体層を活性層として使い、高速動作を特徴とする。このため、かかる高速化合物半導体三端子装置はGHz帯域を含む高周波あるいは超高周波用途に広く使われている。

【 0 0 0 3 】

このような高速化合物半導体三端子装置においてもスケーリング則は成立し、このため動作速度が向上するようにゲート長を短縮することが行われている。

【 0 0 0 4 】

一般にゲート長の短い高速半導体三端子装置では、いわゆるショートチャネル効果を抑制するために、キャリアがゲート電極直下のチャネル領域中通過する際に、活性層を構成する化合物半導体層表面の非常に限られた、浅い領域を通過するように設計がなされる。このため、かかる活性層表面領域の化合物半導体結晶の良否は、かかる高速半導体三端子装置の動作特性にとって極めて重要な影響を及ぼす。

【 0 0 0 5 】

【従来の技術】

図1は従来のHEMT10の構成を示す。

【 0 0 0 6 】

図1を参照するに、HEMT10は半絶縁性InP基板11上に形成され、前記InP基板11上にエピタキシャルに形成された非ドープInGaAsチャネル層12と、前記チャネル層12上にエピタキシャルに形成されたn型InAlAsよりなる電子供給層13と、前記電子供給層13上にエピタキシャルに形成されたn⁺型InGaAsよりなるキャップ層14とを含み、前記キャップ層14中には前記電子供給層13を露出する開口部14Aがゲート電極15に対応して形成される。

【 0 0 0 7 】

前記ゲート電極15はいわゆるマッシュルーム型のショットキー電極であり、前記開口部14Aにおいて露出された前記電子供給層13にコンタクトするTi

層 1 5 A と、前記 T i 層 1 5 A 上に形成された P t 層 1 5 B と、前記 P t 層 1 5 B 上に形成されたマッシュルーム型の低抵抗 A u 電極 1 5 C とを含み、前記 T i 層 1 5 A が前記電子供給層 1 3 の表面とショットキー接触を生じる。かかるゲート電極 1 5 では、前記 A u 電極 1 5 C を使うことによりゲート電極抵抗が減少し、また前記 A u 電極 1 5 C をマッシュルーム型に形成することにより、低いゲート電極抵抗を維持しながらゲート長を短縮することが可能になる。一方、前記 A u 電極 1 5 C の下に前記 P t 層 1 5 B を形成することにより A u 電極 1 5 C からの A u 原子の前記電子供給層 1 3 中への拡散が抑制され、さらに前記 T i 層 1 5 A を前記電子供給層 1 3 と前記 P t 層 1 5 B との間に介在させることにより、前記電子供給層 1 3 と P t 層 1 5 B との間の密着性が向上する。

【 0 0 0 8 】

さらに、図 1 の HEMT 1 0 では、前記 I n G a A s キャップ層 1 4 のうち、前記開口部 1 4 A で互いに隔てられたコンタクト領域 1 4 B, 1 4 C 上にオーミック電極 1 6, 1 7 がそれぞれ形成される。前記オーミック電極 1 6 は、前記 n⁺型にドーピングされたキャップ層 1 4 にコンタクトしてオーミックコンタクトを形成する T i 層 1 6 A と、前記 T i 層 1 6 A 上に形成された P t 拡散障壁層 1 6 B と、前記 P t 拡散障壁層 1 6 B 上に形成された低抵抗 A u 電極層 1 6 C とよりなり、非アロイオーミック電極を形成する。前記オーミック電極 1 7 も同様な構成を有する。

【 0 0 0 9 】

さらに図 1 の HEMT では、前記電子供給層 1 3 およびコンタクト領域 1 4 B, 1 4 C のうち、露出している部分が S i N パッシベーション膜 1 8 により保護される。

【 0 0 1 0 】

【発明が解決しようとする課題】

かかる HEMT あるいは M E S F E T を含む化合物半導体三端子装置では、ゲート電極 1 5 が半導体層に直接にコンタクトしているため、前記ゲート電極 1 5 中において密着層を構成する T i 層 1 5 A から T i が前記半導体層、例えば n 型電子供給層 1 3、さらにはその下のチャネル層 1 2 中へと拡散する恐れがある。

このようにチャネルを形成する半導体層中にTiが拡散した場合、半導体装置のしきい値特性は大きな影響を受ける。

【 0 0 1 1 】

図2は、従来のMESFETにおいてチャネル層中にゲート電極中のTiが侵入した場合のしきい値電圧 V_{th} の変動を示す。

【 0 0 1 2 】

図2を参照するに、しきい値電圧 V_{th} はTiの侵入する深さと共にほぼ直線的に増大し、しかもわずか1nm程度の侵入でしきい値電圧 V_{th} は0.1V程度も変化することがわかる。このような事情から、HEMTやMESFETなどの化合物半導体三端子装置では、電極中のTiの化合物半導体層中への拡散を効果的に抑制できる構造が必要とされている。

【 0 0 1 3 】

従来より、ショットキーダイオードなどの化合物半導体層上にショットキー電極を形成した化合物半導体二端子装置では、例えば特開平4-69974号公報に記載されているように、ショットキー電極と化合物半導体層との間に金属酸化物層を介在させてショットキー電極から前記化合物半導体層中への金属元素の拡散を抑制し、これによりダイオードのしきい値特性の変動を抑制する技術が公知である。前記公知例では、かかる金属酸化物層の例として、金属Ti層の表面を酸化して形成した組成が TiO_x で表される構成のものが挙げられている。

【 0 0 1 4 】

図3は、このようなショットキーダイオードにおけるショットキー障壁 ϕ_B に及ぼすTiの拡散の深さの影響を示す。

【 0 0 1 5 】

図3を参照するに、前記ショットキー障壁 ϕ_B の高さはTiが数ナノメートル程度半導体層中に侵入してもほとんど変化することはない、従ってこのような金属層を含む金属酸化物層を半導体層とショットキー電極との間に介在させてもダイオードの特性はほとんど影響を受けない。

【 0 0 1 6 】

これに対し、HEMTやMESFETのような化合物半導体三端子装置の場合

には、先に図 2 で説明したようにチャネル領域におけるわずか 1 n m あるいはそれ以下の深さへの T i の侵入さえ、しきい値電圧 V_{th} に対して深刻な影響を及ぼす。半導体装置の製造工程においては、チャネル層上にゲート電極に対応してショットキー電極を形成した後も、様々な熱処理工程が行われるため、このような T i の拡散によるしきい値電圧 V_{th} の変動は実質的な問題となる。

【 0 0 1 7 】

そこで、本発明は上記の課題を解決した新規で有用な化合物半導体三端子装置を提供することを概括的課題とする。

【 0 0 1 8 】

本発明のより具体的な課題は、熱処理に対して安定した特性を有する高速化合物半導体三端子装置を提供することにある。

【 0 0 1 9 】

【課題を解決するための手段】

本発明は、上記の課題を、

チャネル層を含む半導体層と、

前記チャネル層中にキャリアを供給する第 1 のオーミック電極と、

前記チャネル層からキャリアを回収する第 2 のオーミック電極と、

前記チャネル層中を、前記第 1 のオーミック電極から前記第 2 のオーミック電極に流れるキャリアを制御するゲート電極とを備えた半導体三端子装置であって

前記ゲート電極は、前記半導体層表面との界面に形成された絶縁性の金属酸化膜を含むことを特徴とする半導体三端子装置により、解決する。

【 0 0 2 0 】

特に前記絶縁性の金属酸化膜は、T i , C o , N i , T a , P r , H f , Z r および P d よりなる群より選ばれる金属元素の酸化物であるのが好ましい。また前記絶縁性の金属酸化膜は、化学量論組成および非化学量論組成のいずれを有していてもよい。

【 0 0 2 1 】

さらに、前記第 1 のオーミック電極と前記半導体層との界面、および第 2 のオ

ーミック電極と前記半導体層との界面にも、前記絶縁性金属酸化膜が形成されているのが好ましい。その際には、前記絶縁性金属酸化膜は、キャリアがトンネル可能な厚さを有するのが好ましい。また、前記絶縁性金属酸化膜は、前記半導体層の表面を、前記ゲート電極と前記第1のオーミック電極との間の領域、および前記ゲート電極と前記第2のオーミック電極との間の領域を連続して覆うように形成してもよい。

【0022】

本発明の半導体三端子装置はHEMTまたはMESFETを含む。

【0023】

【発明の実施の形態】

[第1実施例]

図4は本発明の第1実施例によるHEMT20の構成を示す。

【0024】

図4を参照するに、HEMT20は厚さが約200nmの非ドープInAlAsバッファ層21Aを担持する半絶縁性InP基板21上に形成され、前記バッファ層21A上にエピタキシャルに形成された厚さが約25nmの非ドープInGaAsチャネル層22と、前記チャネル層22上にエピタキシャルに形成された、厚さが約25nmでキャリア密度が約 $2 \times 10^{18} \text{ cm}^{-3}$ のn型InAlAsよりなる電子供給層23と、前記電子供給層23上にエピタキシャルに形成された、厚さが約50nmでキャリア密度が約 $1 \times 10^{19} \text{ cm}^{-3}$ のn⁺型InGaAsよりなるキャップ層24とを含み、前記キャップ層24中には前記電子供給層23を露出する開口部24Aがゲート電極25に対応して形成される。

【0025】

前記ゲート電極25はいわゆるマッシュルーム型のショットキー電極であり、前記開口部24Aにおいて露出された前記電子供給層23にコンタクトする厚さが約1nmのTi層25Aと、前記Ti層25A上に形成された厚さが約10nmのPt層25Bと、前記Pt層25B上に形成された厚さが約200nmでマッシュルーム型の低抵抗Au電極25Cとを含み、前記ゲート電極25と前記電子供給層23との間には、厚さが約4nmのTiO₂膜29が形成される。

【 0 0 2 6 】

前記ゲート電極 2 5 では、前記 A u 電極 2 5 C を使うことによりゲート電極抵抗が減少し、また前記 A u 電極 2 5 C をマッシュルーム型に形成することにより、低いゲート電極抵抗を維持しながらゲート長を短縮することが可能になる。一方、前記 A u 電極 2 5 C の下に前記 P t 層 2 5 B を形成することにより A u 電極 2 5 C からの A u 原子の前記電子供給層 2 3 中への拡散が抑制され、さらに前記 T i 層 2 5 A および T i O₂ 膜 2 9 を前記電子供給層 2 3 と前記 P t 層 2 5 B との間に介在させることにより、前記電子供給層 2 3 と P t 層 2 5 B との間の密着性、従って前記電子供給層 2 3 と前記ゲート電極 2 5 との間の密着性が向上する。

【 0 0 2 7 】

図 4 の H E M T 2 0 では、前記 T i O₂ 膜 2 9 は前記 I n G a A s キャップ層 2 4 のうち、前記開口部 2 4 A で互いに隔てられたコンタクト領域 2 4 B, 2 4 C まで連続的に延在しており、さらに前記 T i O₂ 膜 2 9 上には、前記コンタクト領域 2 4 B, 2 4 C に対応してオーミック電極 2 6, 2 7 がそれぞれ形成される。前記オーミック電極 2 6 は、前記 n⁺ 型にドーパされた前記キャップ層 2 4 に前記 T i O₂ 膜 2 9 を介してコンタクトする厚さが約 1 n m の T i 層 2 6 A と、前記 T i 層 2 6 A 上に形成された厚さが約 3 0 n m の P t 拡散障壁層 2 6 B と、前記 P t 拡散障壁層 2 6 B 上に形成された厚さが約 2 0 0 n m の低抵抗 A u 電極層 2 6 C とよりなり、非アロイオーミック電極を形成する。前記オーミック電極 2 7 も同様な構成を有する。

【 0 0 2 8 】

図 5 は、図 4 の H E M T 2 0 の製造工程を示す。

【 0 0 2 9 】

図 5 (A) を参照するに、この工程において前記 I n A l A s バッファ層 2 1 A が形成された I n P 基板 2 1 上に、前記チャネル層 2 2 に対応した非ドーパ I n G a A s 層 2 2、前記電子供給層 2 3 に対応した n 型 I n A l A s 層 2 3 および前記キャップ層 2 4 に対応した n⁺ 型 I n G a A s 層をそれぞれ 2 5 n m, 2 5 n m および 5 0 n m の厚さに形成し、さらにこのようにして形成された積層半

導体構造をレジストパターン 3 1 をマスクに使うパターニングすることにより、素子領域 2 0 A を画成する素子分離溝 2 0 B, 2 0 C を形成する。

【 0 0 3 0 】

次に図 5 (B) の工程において図 5 (A) の構造から前記レジストパターン 3 1 を除去し、得られた構造上に、HEMT 2 0 のゲートリセス部に対応したレジスト開口部 3 2 A を有するレジストパターン 3 2 を形成し、さらに前記レジストパターン 3 2 をマスクに前記 InGaAs 層 2 4 をパターニングすることにより、前記 InGaAs 層 2 4 中に前記開口部 2 4 A を形成する。前記開口部 2 4 A の形成に伴い、前記 InGaAs 層 2 4 はコンタクト領域 2 4 A および 2 4 B に分かれる。

【 0 0 3 1 】

さらに図 5 (C) の工程において前記レジストパターン 3 1 を除去し、さらに前記素子領域 2 0 A を形成する積層半導体構造の側壁面を含む表面、さらに前記素子分離溝 2 0 B, 2 0 C により露出された前記バッファ層 2 1 A の表面をも覆うように、約 4 nm の厚さの Ti 層を蒸着法により、一様に堆積する。図 5 (C) の工程では、さらにこのようにして形成された Ti 層に対して酸素プラズマ処理を行い、これを TiO_2 膜 2 9 に変換する。このようにして形成された TiO_2 膜 2 9 は化学量論組成のみならず、 TiO_x で表される非化学量論組成を有する場合もあるが、いずれにせよ本発明では、前記 Ti 層の酸化工程を、形成される TiO_2 膜 2 9 が有効な絶縁膜となるように実行する。換言すると、前記 TiO_2 膜 2 9 中には、前記金属 Ti 層の残渣は含まれていない。以下の説明では、前記膜 2 9 の組成を便宜上 TiO_2 で表す。

【 0 0 3 2 】

次に、図 6 (D) の工程において、前記 TiO_2 膜 2 9 上にそれぞれ前記コンタクト領域 2 4 B, 2 4 C に対応して、オーミック電極 2 6, 2 7 に対応した開口部を有するレジストパターン（図示せず）を形成し、この上に、前記開口部を含むように、厚さが 1 nm の Ti 層、厚さが 3 0 nm の Pt 層および厚さが 2 0 0 nm の Au 層を順次堆積する。さらにリフトオフにより前記レジストパターンおよびその上に堆積した Ti / Pt / Au 層を除去することにより、前記オーミ

ック電極 26, 27 が形成される。このようにして形成されたオーミック電極 26, 27 は、前記 TiO_2 膜 29 が電子のトンネリングが可能な 4 nm 程度の厚さに形成されているため、対応するコンタクト領域 24B あるいは 24C に対して効果的なオーミック接触を形成する。

【0033】

さらに図 6 (E) の工程において、前記ゲートリセス部 24A に対応して前記 TiO_2 膜 29 を露出する開口部を有するレジストパターン（図示せず）を形成し、この上に、前記開口部を含むように、厚さが 1 nm の Ti 層、厚さが 10 nm の Pt 層および厚さが 200 nm の Au 層を順次堆積する。さらにリフトオフにより前記レジストパターンおよびその上に堆積した Ti / Pt / Au 層を除去することにより、前記オゲート電極 25 が形成される。

【0034】

図 7 は、このようにして形成された HEMT 40 に対して様々な温度で熱処理を行った場合のしきい値電圧 V_{th} の変化を示す。

【0035】

図 7 を参照するに、前記 HEMT 40 のしきい値電圧 V_{th} は、100 ~ 300 °C の範囲の熱処理では全く変化していないのに対し、図 1 で説明した従来の HEMT 20 ではしきい値電圧 V_{th} は熱処理温度と共に、大きく変化していることがわかる。

【0036】

図 8 は、前記 HEMT 40 において観測された、オーミック電極 26, 27 のオーミック接触抵抗 R_c の熱処理に伴う変化を示す。

【0037】

図 8 を参照するに、オーミック抵抗 R_c は 100 ~ 300 °C の範囲の熱処理では実質的に変化しないのに対し、図 1 の HEMT 40 のオーミック電極 16, 17 のオーミック抵抗は熱処理温度と共に大きく変化するのがわかる。

【0038】

このように、図 7, 8 は HEMT 40 において設けられた薄い金属酸化物層が、チャネル層 22 中への電極層 25A からの Ti の拡散を効果的に抑制できるこ

とを立証するものと考えられる。

【0039】

なお、図5（C）の工程におけるTi層のTiO₂膜29への変換は酸素プラズマ処理に限定されるものではなく、例えば酸素雰囲気中あるいは空気中における熱処理により行ってもよい。この場合には150°C以上の温度に加熱すればよい。

【第2実施例】

次に、本発明の第2実施例によるHEMT50の製造工程について、図9（A）～（C）および図10（D）を参照しながら説明する。ただし先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0040】

図9（A）を参照するに、この工程は先の図5（A）の工程と実質的に同一であり、素子領域20Aに対応した積層半導体構造が、半導体層22～24の積層およびレジストパターン31を使ったパターニングにより形成される。

【0041】

次に図9（B）の工程において、本実施例では前記レジストパターニング31が除去された後、前記InGaAsキャップ層24上に前記オーミック電極26，27が直接に形成される。

【0042】

さらに図9（C）の工程において図9（B）の構造上に前記ゲートリセス部24Aに対応した開口部を有するレジストパターン32が、前記オーミック電極26，27を覆うように形成され、さらに前記レジストパターン32をマスクに前記InGaAsキャップ層24をパターニングすることにより前記リセス部24Aを形成し、前記コンタクト領域24B，24Cを前記リセス部24A部により互いに分離する。

【0043】

さらに図10（D）の工程において前記レジストパターン32を除去した後、露出した電子供給層23上に、Ti膜を蒸着法により堆積する。さらにレジスト

パターンを使って前記Ti膜をパターニングして、ゲート電極形成領域にのみTi膜パターン29Aを形成し、このうえにさらにSiNパッシベーション膜29Bを堆積する。

【0044】

さらに図10(E)の工程においてレジストパターン(図示せず)を使って前記SiNパッシベーション膜29Bをパターニングして前記Ti膜パターン29Aを露出させ、酸素プラズマ処理を行って前記Ti膜パターン29AをTiO₂膜パターン29Cに変換する。この場合にも、本実施例ではTiO₂膜パターン29Cは非化学量論組成TiO_xを有していてもよいが、当初のTiパターン29Aの残渣は残っておらず、前記TiO₂膜パターン29Cは絶縁膜を形成する。

【0045】

さらに図10(F)の工程において、前記TiO₂膜パターン29Cを露出する開口部を有するレジストパターン(図示せず)を形成し、前記レジストパターンを使ったリフトオフ法により、前記Ti/Pt/Au構造のゲート電極25を形成する。

【0046】

かかる構成のHEMT50においても、熱処理によるしきい値の変動は効果的に抑制され、HEMT50は安定したしきい値特性を有する。

[第3実施例]

図11(A)～(C)は、本発明の第3実施例によるMESFET60の製造工程を説明する図である。

【0047】

図11(A)を参照するに、半絶縁性GaAs基板61の表面にはSiのイオン注入およびこれに引き続く急速熱処理工程により、n型のチャネル領域61Aが形成される。典型的には、前記Si⁺のイオン注入は30keVの加速電圧と $2 \times 10^{12} \text{ cm}^{-2}$ のドーズ量で実行され、熱処理はN₂雰囲気中、800°Cで30秒間実行される。

【0048】

図11 (A) の工程では、さらに前記基板61の表面に、前記チャネル領域61Aを覆うように TiO_2 膜62が約4nmの厚さに一様に形成されている。かかる TiO_2 膜62は、 Ti 膜を蒸着法により約4nmの厚さに堆積した後、酸素プラズマ処理を行って前記 Ti 膜を TiO_2 膜に変換することにより形成される。その際、得られた TiO_2 膜62は必ず化学量論組成を有する必要はなく、一般に TiO_x で表される組成のものであってもよいが、前記酸素プラズマ処理は、前記金属 Ti 膜の残渣が TiO_2 膜62中に残らないように実行される。その結果、前記 TiO_2 膜62は絶縁膜となる。

【0049】

図11 (A) の構造では、さらに前記 TiO_2 膜62上に WSi よりなるゲート電極63が約300nmの厚さ、ないし高さに形成されている。

【0050】

次に図11 (B) の工程において前記ゲート電極63を自己整合マスクに、 Si^+ のイオン注入を、加速電圧が40keV、ドーズ量が $2 \times 10^{12} cm^{-2}$ の条件下で行い、さらに800°Cで30秒間熱処理することにより、前記 Si 基板61中、前記 WSi ゲート電極63の両側に n^- 型のLDD領域61B、61Cを形成する。

【0051】

さらに図11 (B) の工程では前記 $GaAs$ 基板61上に前記 WSi ゲート電極63を覆うように SiN 膜をプラズマCVD法により堆積し、さらにこれに前記基板61の主面に対して略垂直に作用する異方性ドライエッチングを施すことにより、前記ゲート電極63の両側に側壁絶縁膜63A、63Bを形成する。図11 (B) の工程では、さらに前記 WSi ゲート電極63および側壁絶縁膜63A、63Bを自己整合マスクに使い、 Si^+ を50keV、 $5 \times 10^{12} cm^{-2}$ のドーズ量でイオン注入し、さらに800°Cで30秒間急速熱処理することにより、前記 $GaAs$ 基板61中、前記LDD領域61B、61Cのそれぞれ外側に、 n^+ 型の拡散領域61D、61Eが形成される。

【0052】

最後に、図 1 1 (C) の工程においてレジストプロセスにより、前記 TiO_2 膜 6 2 中に前記拡散領域 6 1 D, 6 1 E を露出する開口部を形成し、かかる開口部に対応して、 $AuGe/Au$ 構造のオーミック電極 6 4 A, 6 4 B をそれぞれ形成する。

【 0 0 5 3 】

かかる MESFET では、前記オーミック電極 6 4 A, 6 4 B を例えば N_2 雰囲気中、 $350^\circ C$ で 5 分間熱処理することによりアロイ化を行っても、前記 WSi ゲート電極 6 3 から金属元素が前記 GaAs 基板 6 1 中のチャネル領域 6 1 A 中に侵入することがなく、MESFET 6 0 は安定したしきい値特性を示す。

【 0 0 5 4 】

なお、以上の各実施例からもわかるように、前記 TiO_2 膜 2 9 あるいは TiO_2 膜 6 2 は実際には TiO_2 あるいは TiO_x に限定されるものではなく、Co, Ni, Pd を含む、様々な金属元素の酸化物を使うことが可能である。

【 0 0 5 5 】

また、前記金属酸化物絶縁膜上に形成されるゲート電極も、 $Ti/Pt/Au$ 積層構造のものあるいは WSi 電極に限定されるものではなく、 Ti/Al 積層構造あるいは Ti/Mo 積層構造を有する電極であってもよい。

【 0 0 5 6 】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において、様々な変形・変更が可能である。

【 0 0 5 7 】

【発明の効果】

本発明によれば、チャネル層中へのゲート電極からの不純物金属元素の拡散に対して極めて敏感な三端子化合物半導体装置において、前記ゲート電極とこれに接する半導体層との間に、金属元素の酸化物絶縁膜を介在させることにより、前記三端子化合物半導体装置のしきい値特性を安定化させることができる。また、かかる構造により、しきい値特性が安定するため、半導体装置の歩留りを向上させることが可能である。

【図面の簡単な説明】

【図 1】

従来の HEMT の構成を示す図である。

【図 2】

図 1 の HEMT のしきい値特性と金属元素の拡散との関係を示す図である。

【図 3】

従来のショットキーダイオードにおけるしきい値特性と金属元素の拡散との関係を示す図である。

【図 4】

本発明の第 1 実施例による HEMT の構成を示す図である。

【図 5】

(A) ～ (C) は、図 4 の HEMT の製造工程を示す図（その 1）である。

【図 6】

(D) ～ (E) は、図 4 の HEMT の製造工程を示す図（その 2）である。

【図 7】

図 4 の HEMT のしきい値特性と熱処理温度との関係を、従来の HEMT のものと比較して示す図である。

【図 8】

図 4 の HEMT のオーミック接触抵抗と熱処理温度との関係を、従来の HEMT のものと比較して示す図である。

【図 9】

(A) ～ (C) は、本発明の第 2 実施例による HEMT の製造工程を示す図（その 1）である。

【図 10】

(D) ～ (F) は、本発明の第 2 実施例による HEMT の製造工程を示す図（その 2）である。

【図 11】

(A) ～ (C) は、本発明の第 3 実施例による MESFET の製造工程を示す図である。

【符号の説明】

1 0, 2 0, 4 0 H E M T
 1 1, 2 1 I n P 基板
 1 1 A, 2 1 A I n A l A s バッファ層
 1 2, 2 2 I n G a A s チャネル層
 1 3, 2 3 I n A l A s 電子供給層
 1 4, 2 4 I n G a A s キャップ層
 1 4 A, 2 4 A ゲートリセス
 1 4 B, 1 4 C, 2 4 B, 2 4 C I n G a A s コンタクト領域
 1 5, 2 5 ゲート電極
 1 5 A, 1 6 A, 1 7 A, 2 5 A, 2 6 A, 2 7 A T i 密着層
 1 5 B, 1 6 B, 1 7 B, 2 5 B, 2 6 B, 2 7 B P t 拡散障壁層
 1 5 C, 2 5 C A u 低抵抗ゲート電極
 1 6, 1 7 オーミック電極
 1 6 C, 1 7 C, 2 6 C, 2 7 C A u 低抵抗オーミック電極
 2 0 A 素子領域
 2 0 B, 2 0 C 素子分離溝
 2 9 金属酸化物絶縁膜
 2 9 A T i パターン
 2 9 B S i N パッシベーション膜
 2 9 C T i O ₂ パターン
 3 1, 3 2 レジストパターン
 6 0 M E S F E T
 6 1 G a A s 基板
 6 1 A チャネル領域
 6 1 B, 6 1 C L D D 領域
 6 1 D, 6 1 E 高濃度拡散領域
 6 2 金属酸化物絶縁膜
 6 3 ゲート電極

6 3 A, 6 3 B 側壁絶縁膜

6 4 A, 6 4 B オーミック電極

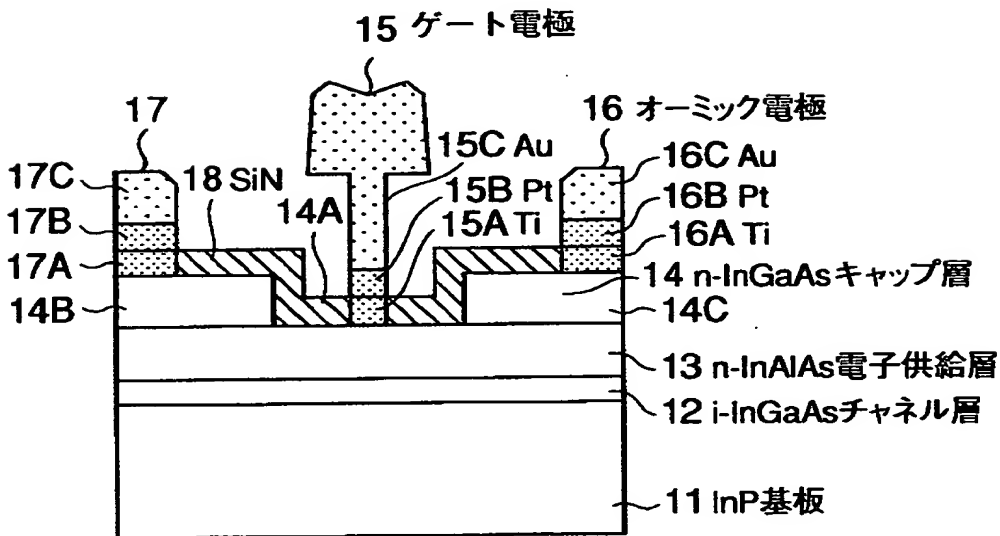
【書類名】

図面

【図 1】

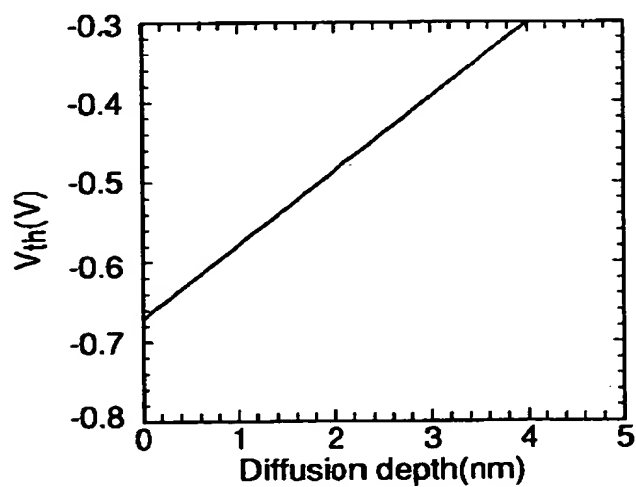
従来のHEMTの構成を示す図

10



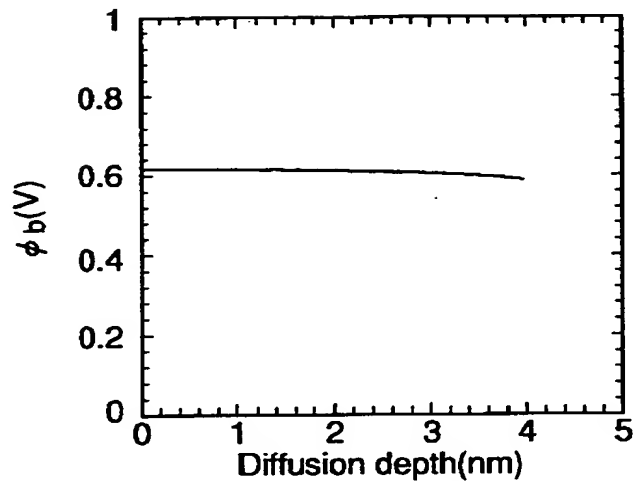
【図 2】

図1のHEMTのしきい値特性と金属元素の拡散との関係を示す図



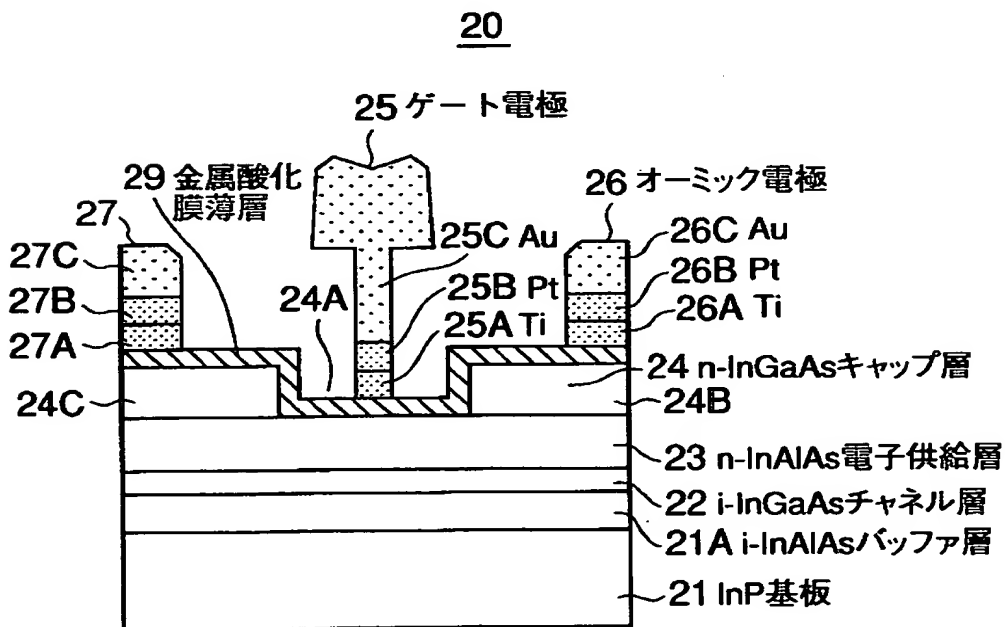
【図 3】

従来のショットキーダイオードにおけるしきい値特性と金属元素の拡散との関係を示す図



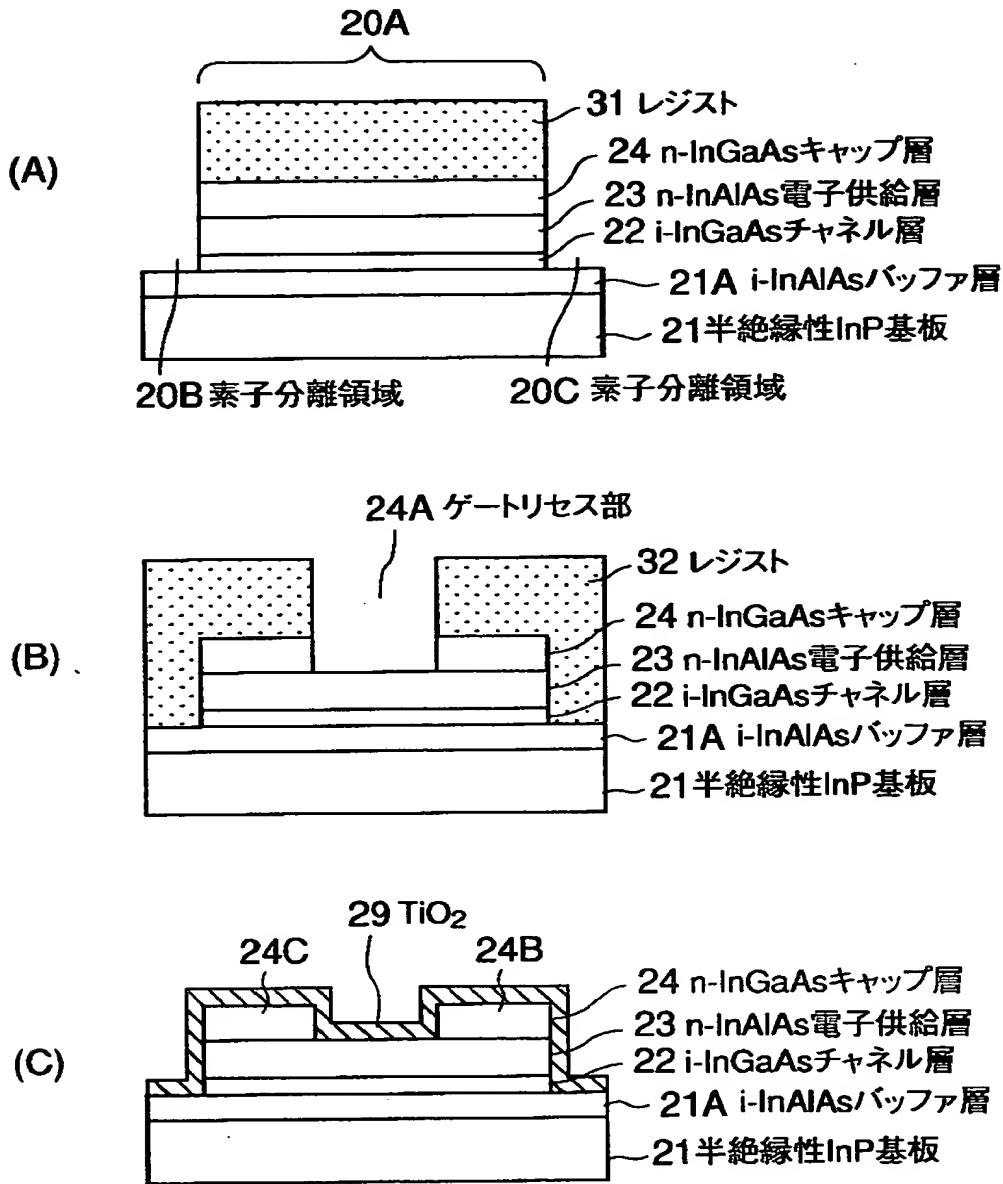
【図 4】

本発明の第1実施例によるHEMTの構成を示す図



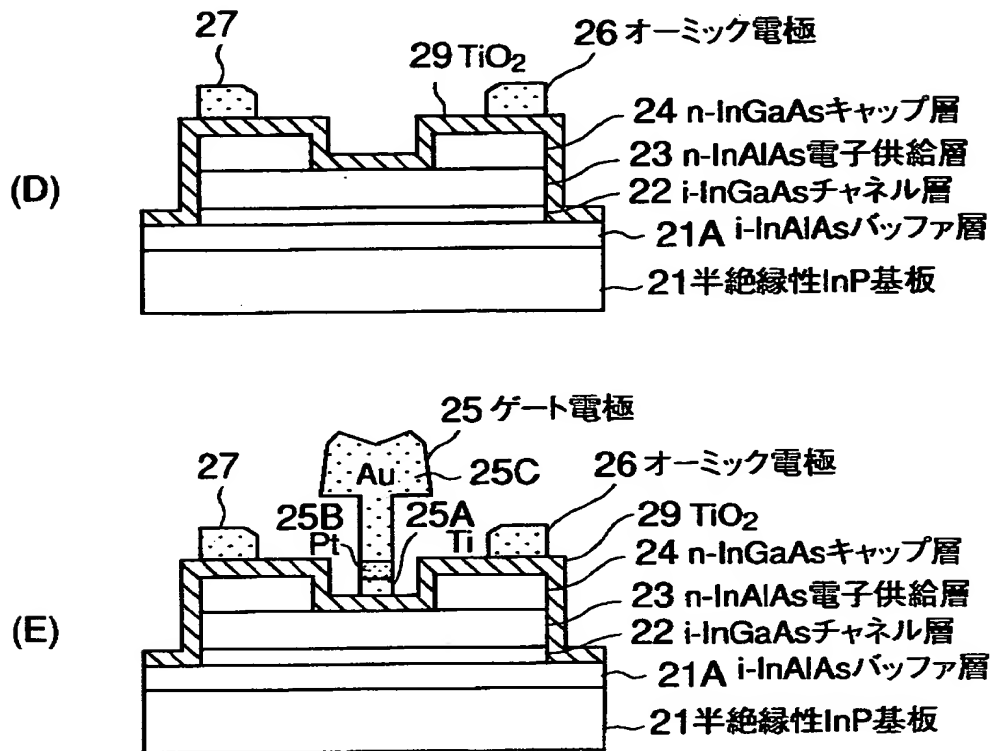
【図 5】

(A)～(C)は、図4のHEMTの製造工程を示す図（その1）



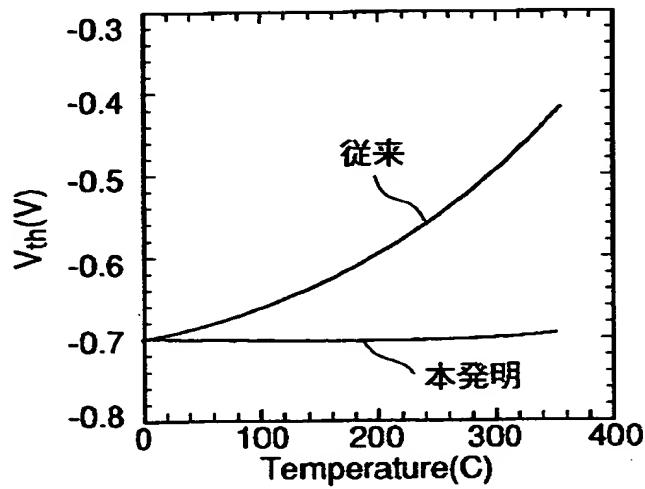
【図 6】

(D)～(E)は、図4のHEMTの製造工程を示す図（その2）



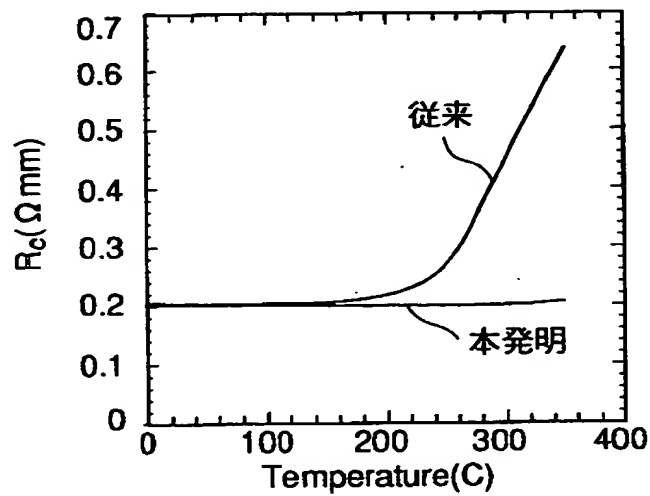
【図 7】

図4のHEMTのしきい値特性と熱処理温度との関係を、従来のHEMTのものと比較して示す図



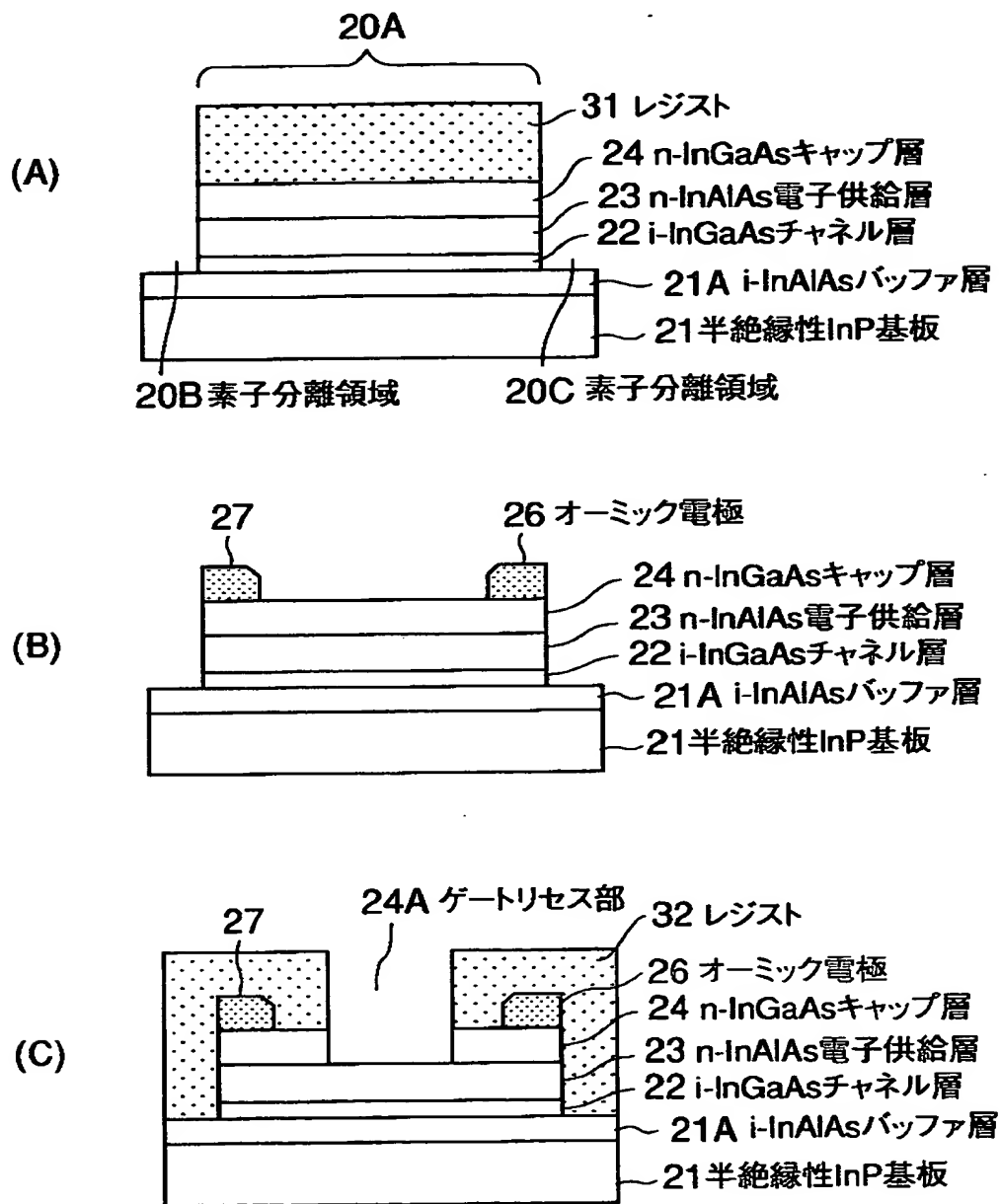
【図 8】

図4のHEMTのオーミック接触抵抗と熱処理温度との関係を、従来のHEMTのものと比較して示す図



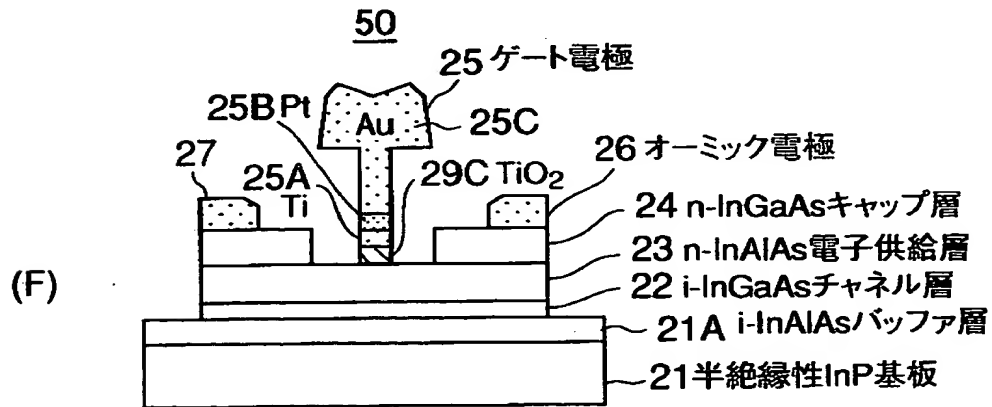
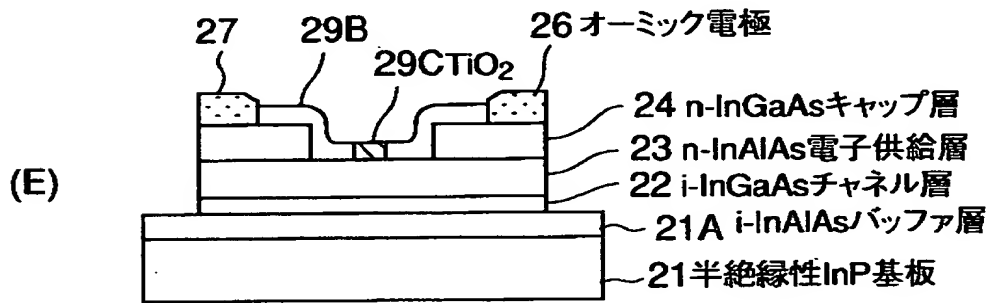
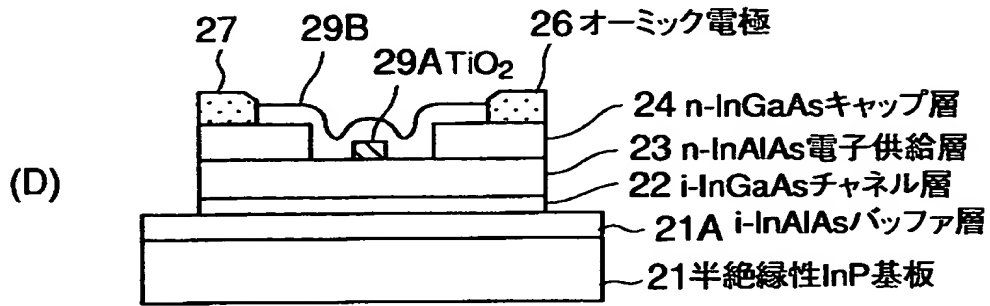
【図 9】

(A)～(C)は、本発明の第2実施例によるHEMTの製造工程を示す図（その1）



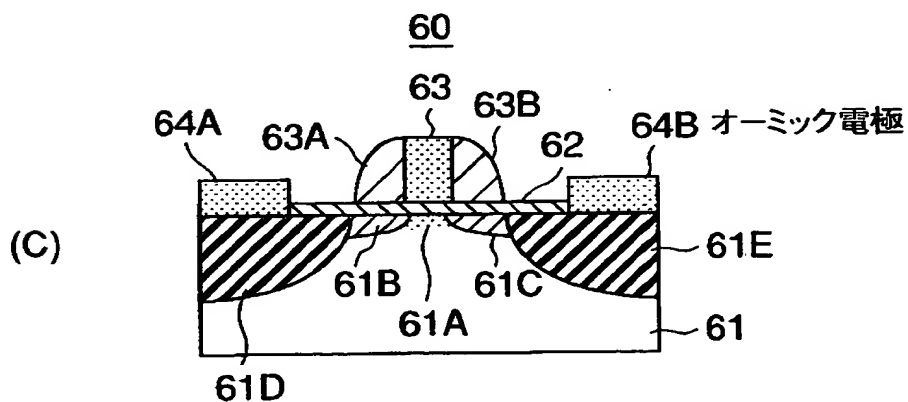
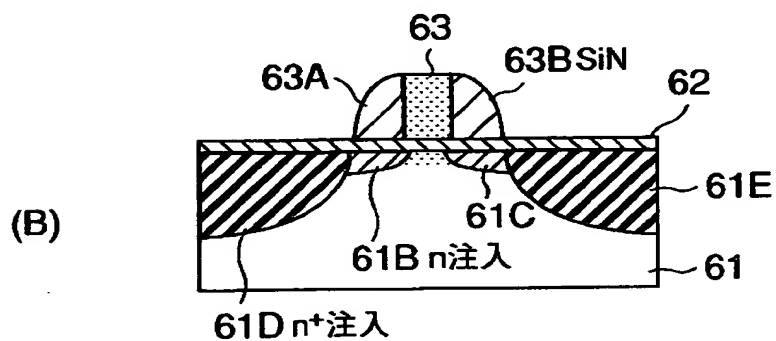
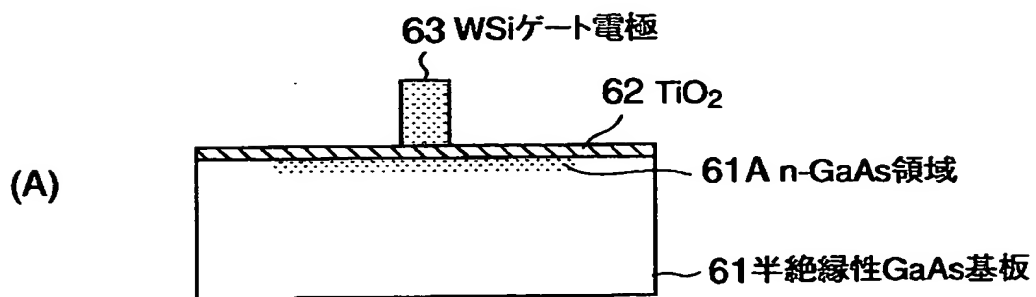
【図 1 0】

(D)～(F)は、本発明の第2実施例によるHEMTの製造工程を示す図（その2）



【図 1 1】

(A)～(C)は、本発明の第3実施例によるMESFETの製造工程を示す図



【書類名】 要約書

【要約】

【課題】 ゲート電極から半導体層への金属元素の拡散を抑制することにより、三端子雅号物半導体装置のしきい値特性を安定させる。

【解決手段】 ゲート電極と、これに接する半導体層との間に、金属酸化物よりなる絶縁膜を介在させる。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社